



Klausur Mikroelektronik I

Wintersemester 2017/18

28. März 2018

Hinweise:

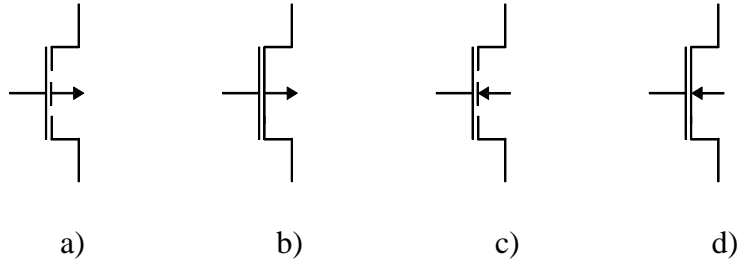
- Benutzen Sie für jede Aufgabe einen eigenen Kanzleibogen!
- Verwenden Sie weder **Rotstift** noch **Bleistift**!
- Tragen Sie auf **jeder Seite** der Aufgabenstellung, auf der Sie etwas schreiben oder zeichnen, Ihren Namen und Ihre Matrikelnummer ein!
- Tragen Sie auf **jedem Kanzleibogen** Ihren Namen und Ihre Matrikelnummer ein!
- Geben Sie die **Aufgabenstellung**, die **Kanzleibögen** sowie das **einseitig beschriebene DIN-A4 Hilfsblatt** mit ab!

Explanatory notes:

- *Please use an individual piece of paper for each task!*
- *Do not use **red pens** or **pencils**!*
- *Write down your name and your matriculation number on each **tasksheet** on which you write or draw something!*
- *Write down your name and your matriculation number on each **sheet**!*
- *Submit all **sheets** (including the **tasksheets** and the **single-sided auxiliary DIN-A4 sheet**)!*

0. Zu verwendende Transistor-Schaltzeichen

Transistor symbols to be used



a) p-Kanal: selbstsperrend
p-channel: enhancement

b) p-Kanal: selbstleitend
p-channel: depletion

c) n-Kanal: selbstsperrend
n-channel: enhancement

d) n-Kanal: selbstleitend
n-channel: depletion

Schaltzeichen für Aufgabe 3.2

Symbols for Task 3.2

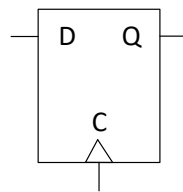


Abbildung 0-1: D-Flip-Flop ohne Reset / *D-Flip-Flop without reset*

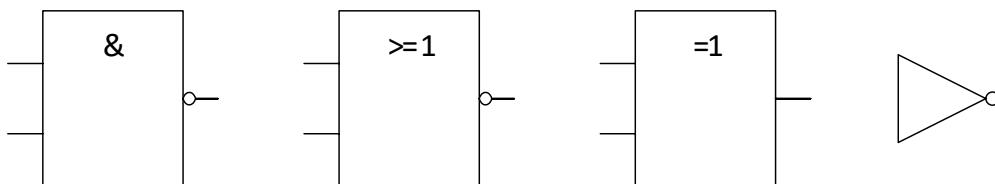


Abbildung 0-2: Gatter / *Gates*

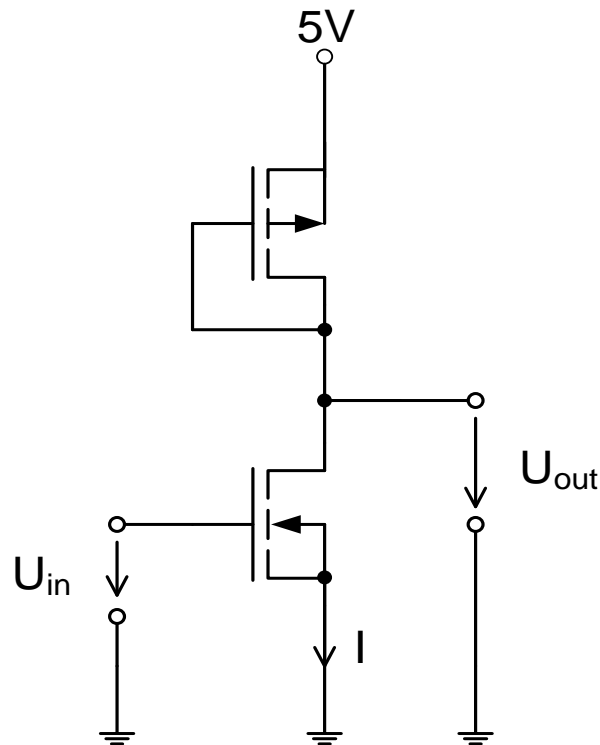
1. Aufgabe (15 Punkte)**Analoge Schaltungstechnik***Analog Circuits*

Abbildung 1-1: Eine invertierende Verstärkerschaltung
An Inverter Amplifier Circuit

Gegeben sei die Verstärkerschaltung in Abbildung 1-1.

Folgende Parameter gelten für beide Transistoren: $\lambda = 0,02 \frac{1}{V}$ und $|U_{th}| = 1V$.

Ferner gilt $\beta_p = 1 \frac{mA}{V^2}$ für den P-Kanal Transistor und $\beta_n = 4 \frac{mA}{V^2}$ für den N-Kanal Transistor.

The amplifier circuit is given in Abbildung 1-1.

The following parameters are valid for both transistors: $\lambda = 0.02 \frac{1}{V}$ and $|U_{th}| = 1V$.

In addition, $\beta_p = 1 \frac{mA}{V^2}$ for PMOS and $\beta_n = 4 \frac{mA}{V^2}$ for NMOS, respectively.

1.1 (2 Punkte)

Zeichnen Sie den Querschnitt eines NMOS-Transistors und markieren Sie Gate, Source, Drain und Bulk. Tragen Sie auch die Dotierungen ein. Zeichnen Sie die Pinch-Off-Situation in den Querschnitt ein und beschreiben Sie diese kurz!

Draw the cross section of an NMOS and mark the gate, source, drain and bulk. Please also attribute the doping. Please draw the pinch-off case in cross section and briefly explain the reason.

Bitte wenden!
Please turn the page!

Name:

Matr.-Nr.:

1.2 (3 Punkte)

Bestimmen Sie U_{in} , so dass sich $I = 2\text{mA}$ einstellt. Berechnen Sie die Ausgangsspannung U_{out} (Vernachlässigen Sie dabei die Kanallängenmodulation.)

Determine the U_{in} for $I=2\text{mA}$. Calculate the output voltage U_{out} . (Neglect the channel length modulation)

1.3 (3 Punkte)

Wie nennt man die Schaltung (Gate-Drain kurz) für den Lasttransistor? Leiten Sie die Formel für den PMOS-Drainstrom in Abhängigkeit von U_{out} unter Vernachlässigung der Kanallängenmodulation her. Tragen Sie in das untenstehende Ausgangskennlinienfeld des NMOS-Transistors in Abbildung 1-2 die Kennlinie des Last-Transistors ein. Kennzeichnen Sie den Arbeitspunkt (für $I = 2\text{mA}$) aus dem Kennlinienfeld!

What is the name of the circuit for the load transistor (Gate-drain shortened)? Derive the formula for drain current of the PMOS as a function of U_{out} (neglect the channel length modulation). Draw the characteristic curve of the load transistor into the output characteristic of NMOS in figure 1-2. Mark the operation point (for $I=2\text{mA}$) on the characteristic curve.

1.4 (2 Punkte)

Zeichnen Sie das Kleinsignalersatzschaltbild der Verstärkerschaltung, welches beide Transistoren enthält. (Die Kanallängenmodulation gilt es zu berücksichtigen!)

Draw the small-signal equivalent circuit of the amplifier circuit, which should consider both transistors. (The channel length modulation has to be considered.)

1.5 (3 Punkte)

Berechnen Sie die Kleinsignalparameter g_m vom PMOS sowie g_m und r_{ds} vom NMOS am Arbeitspunkt ($I=2\text{mA}$). Warum kann g_{ds} vom PMOS vernachlässigt werden? Berechnen Sie ebenfalls den Ausgangswiderstand r_{out} der Schaltung!

Calculate the small-signal parameter g_m of PMOS and g_m & r_{ds} of NMOS, at the operation point ($I=2\text{mA}$). Why can g_{ds} of PMOS be neglected? Calculate the output resistor r_{out} in the equivalent circuit, too.

1.6 (2 Punkte)

Berechnen Sie die Verstärkung: $A = \frac{dU_{out}}{dU_{in}}$.

Calculate the gain of the amplifier: $A = \frac{dU_{out}}{dU_{in}}$

*Bitte wenden!
Please turn the page!*

Name:

Matr.-Nr.:

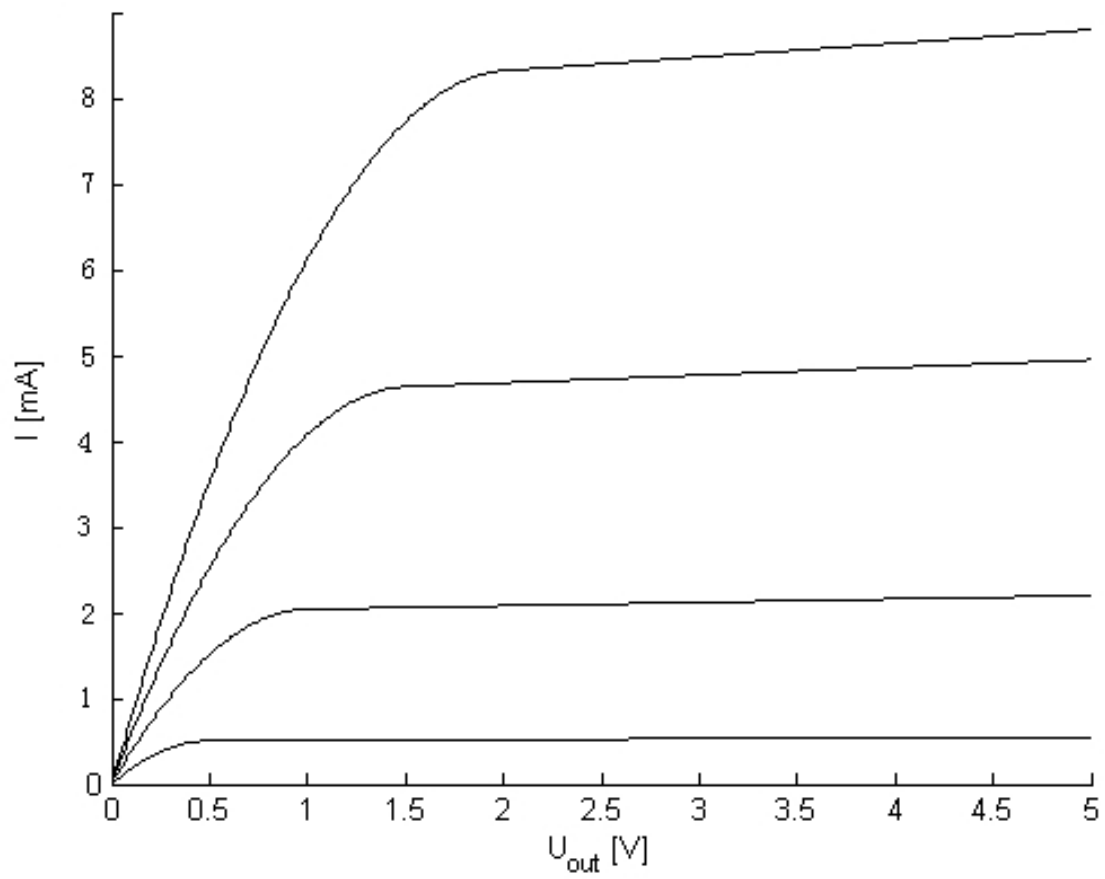


Abbildung 1-2: NMOS-Kennlinienfeld
NMOS Characteristics

2. Aufgabe (10 Punkte) **Prozessor und Systemarchitektur** *Processor and System Architecture*

2.1 Allgemein (1 Punkt)

Generics

Bewerten Sie folgende Implementierungen bezüglich Performance und Flexibilität und sortieren Sie sie absteigend nach ihrer Performance:

Rate the following implementations regarding their performance and flexibility and sort them according to their performance in descending order:

- FPGA
- DSP
- ASIC
- Microcontroller

2.2 Prozessorarchitektur (1 + 1,5 + 2,5 = 5 Punkte)

Processor Architecture

- a) Es gibt zwei grundlegenden Prozessorarchitekturen (Von-Neumann, Harvard). Wodurch unterscheiden sich diese Architekturen konzeptionell voneinander?

There are two fundamental types of processor architectures (Von-Neumann, Harvard). What is the conceptual difference between these two architectures?

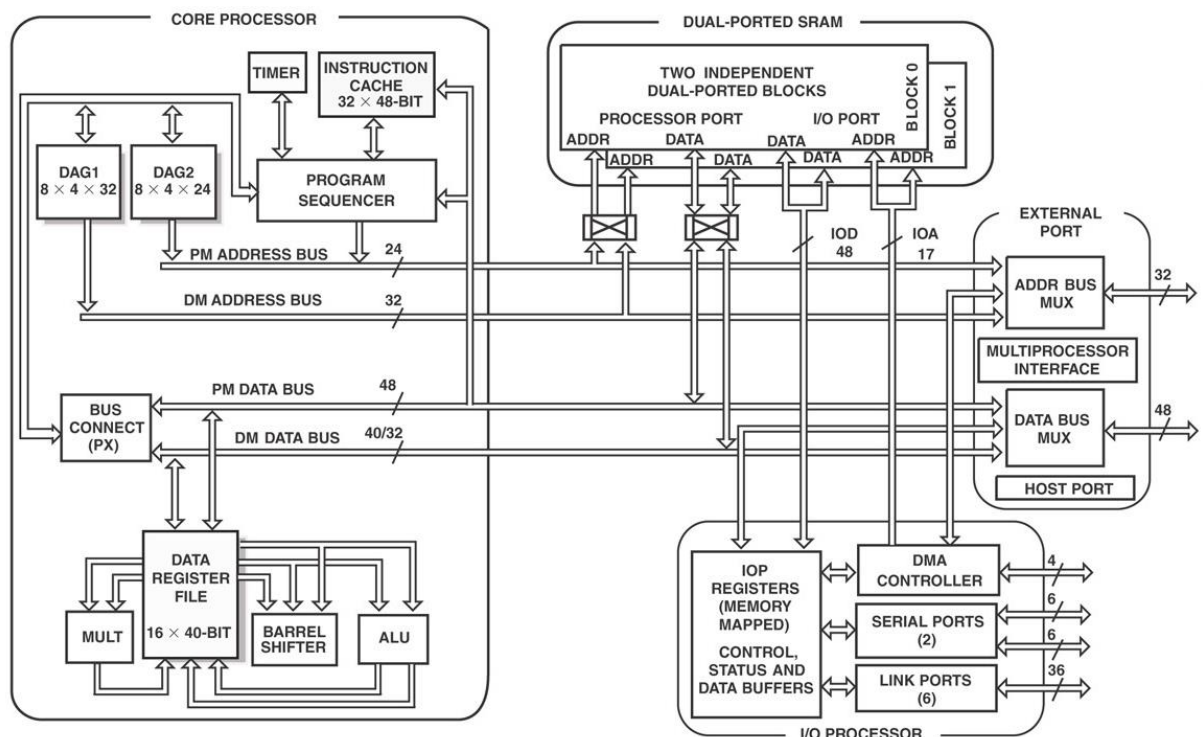


Abbildung 2-1: Blockschaltbild eines Prozessors
Block diagram of a processor

Bitte wenden!
Please turn the page!

b) In Abbildung 2-1 ist ein Blockdiagramm eines Prozessors abgebildet. Um welche der in a) genannten Architekturen handelt es sich bei diesem Prozessor? Begründen Sie Ihre Antwort! Verwenden Sie dabei die Signalnamen aus dieser Abbildung!
Abbildung 2-1 depicts a block diagram of a processor. On which of the mentioned architectures in a) is this processor built? Justify your answer! Use the signal names provided in the figure.

c) Abbildung 2-2 zeigt einen einfachen Prozessor. Beschriften Sie die Funktionsblöcke mit folgenden Begriffen und erläutern Sie ALU und IR!
*Abbildung 2-2 shows a simple processor. Label the function blocks with the following terms and explain the terms **ALU** and **IR**!*

- ALU
- ACC
- IR
- MEMORY
- DATA BUS
- ADDRESS BUS
- PC

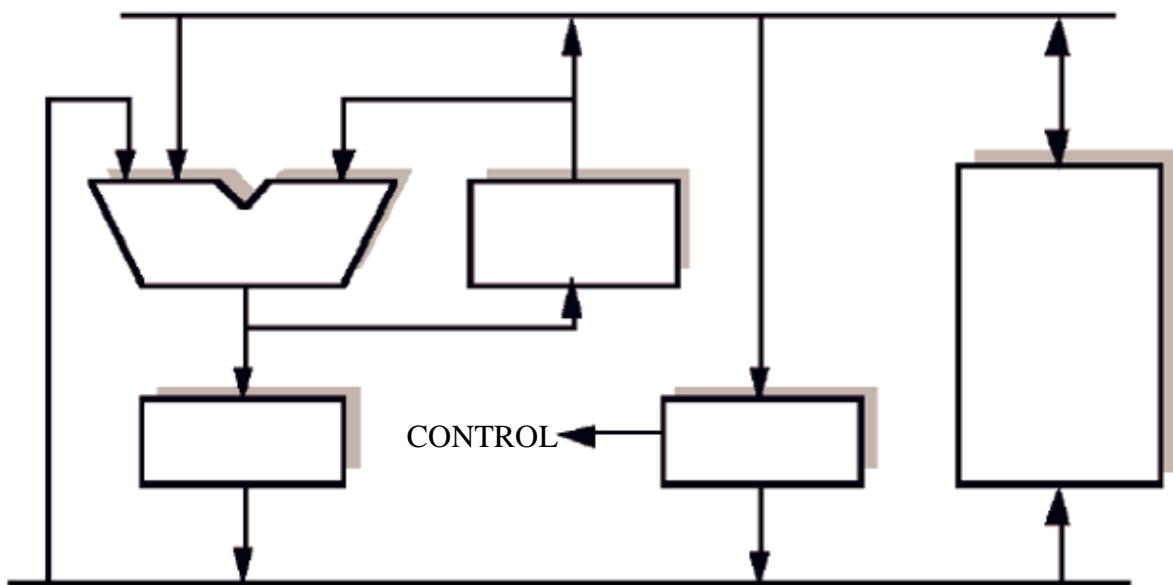


Abbildung 2-2: Einfacher Prozessor
Simple processor

Bitte wenden!
Please turn the page!

2.3 Befehlssätze (2 + 2 = 4 Punkte)

Instruction Sets

- a) Beschreiben Sie den Unterschied zwischen *Reduced Instruction Set Computer* (RISC) und *Complex Instruction Set Computer* (CISC) Befehlssätzen im Hinblick auf folgende Kriterien:

Describe the difference between RISC (Reduced Instruction Set Computer) and CISC (Complex Instruction Set Computer) instruction sets with regard to the following criteria:

- Instruktionslänge
Instruction length
- Instruktionssatz
Instruction set
- Code-Größe
Code size
- Instruktionszyklen
Instruction cycles

- b) Geben Sie den prinzipiellen Ablauf der Befehlsabarbeitung eines Mikroprozessors in 8 Schritten an. Vervollständigen Sie dazu die Tabelle 2-1. Setzen Sie ein Häkchen in den Spalten 2 bis 4 für die jeweiligen Speicherzugriffe.

Provide the generic sequence of a microprocessor for the execution of an instruction in 8 steps. Complete the Tabelle 2-1. Tick the columns 2-4 for the corresponding memory access.

Ablauf/Beschreibung/Was wird gemacht? <i>Sequence/Description/Activity</i>	adressiert Speicher <i>addressing memory</i>	aus dem Speicher lesen <i>reading memory</i>	in den Speicher schreiben <i>writing memory</i>
1.			-----
2. <i>Befehl wird geladen</i> <i>Fetching Instruction</i>	-----	✓	-----
3.			
4. <i>Operandenadresse</i> <i>Operand Address</i>			
5.			
6.			
7. <i>Ergebnis ablegen</i> <i>Save results</i>			✓, oder Register
8.		-----	-----

Tabelle 2-1: Befehlsablauf
Instruction sequence

3. Aufgabe (10 Punkte)**Sequentielle Schaltungen**
*Sequential Logic***3.1 FSMs (1 + 2 = 3 Punkte)**

- a) Erläutern Sie den Unterschied zwischen kombinatorischen und sequentiellen Schaltungen bzgl. deren Eingangs- und Ausgangsverhalten!

Explain the difference between combinatorial and sequential circuits regarding their input and output behavior!

- b) Zeichnen Sie den grundsätzlichen Aufbau eines Moore- und eines Mealy-Automaten unter Verwendung folgender Blöcke:

Draw the principal structure of a Moore and a Mealy state machine by using the following blocks:

- Ausgang
Output
- Register
Register
- Kombinatorische Logik
Combinatorial logic
- Eingang
Input

Erläutern Sie die Unterschiede zwischen den beiden Prinzipien!

Explain the differences between both principles!

3.2 Logik (3,5 + 1,5 + 2 = 7 Punkte)

Gegeben sei die Zustandstabelle in Tabelle 3-1. Die Abfolge ($1 \rightarrow 8$) der Zustände q ergeben einen Zyklus. Die zugehörige Schaltung ist in Abbildung 3-1 dargestellt. Nehmen Sie an, dass die Register zunächst so belegt sind, dass sich die Schaltung im Zustand 1 befindet.

In Tabelle 3-1 a state table is provided. The sequence ($1 \rightarrow 8$) of the states q results in a cycle. The corresponding circuit is depicted in Abbildung 3-1. Assume that the initial values of the registers are set for the state 1.

Bitte wenden!
Please turn the page!

- a) Generieren Sie die zugehörigen Funktionen ($X(q)$, $Y(q)$, $Z(q)$) und vervollständigen Sie die Tabelle 3-1! Um welche Funktion handelt es sich bei der zyklischen Zustandsabfolge?

*Generate the corresponding functions ($X(q)$, $Y(q)$, $Z(q)$) and fill in Tabelle 3-1!
Which function is implemented by the cyclical sequence of the states q ?*

- b) Vereinfachen Sie den gestrichelt umrandeten Teil aus Abbildung 3-1, so dass die Anzahl der Gatter reduziert wird. Verwendet werden können NAND-, XOR- und NOR-Gatter sowie Inverter (siehe Seite 1).

Simplify the circuit in the dashed box in Abbildung 3-1 by reducing the number of used gates! You can use NAND-, XOR- and NOR-gates as well as inverter (see page 1).

- c) Erweitern Sie die gegebene Schaltung um Logik, welche durch ein asynchrones Reset-Signal (High-Pegel) die Schaltung in den korrekten Startzustand 1 überführt! Verwendet werden können die Gatter aus Teil b). Was ist bei dem asynchronen Reset-Signal in Verbindung zur sequentiellen Schaltung aus a) zu beachten?

Extend the given circuit by allowing an asynchronous RESET signal (active high) to set the circuit into the default state 1! Gates from b) can be used. What should be considered when using an asynchronous reset signal in combination with the sequential circuit from part a)?

q	X	Y	Z
1	1	1	1
2			
3			
4			
5			
6			
7			
8			

Tabelle 3-1: Zustandstabelle

*Bitte wenden!
Please turn the page!*

Name:

Matr.-Nr.:

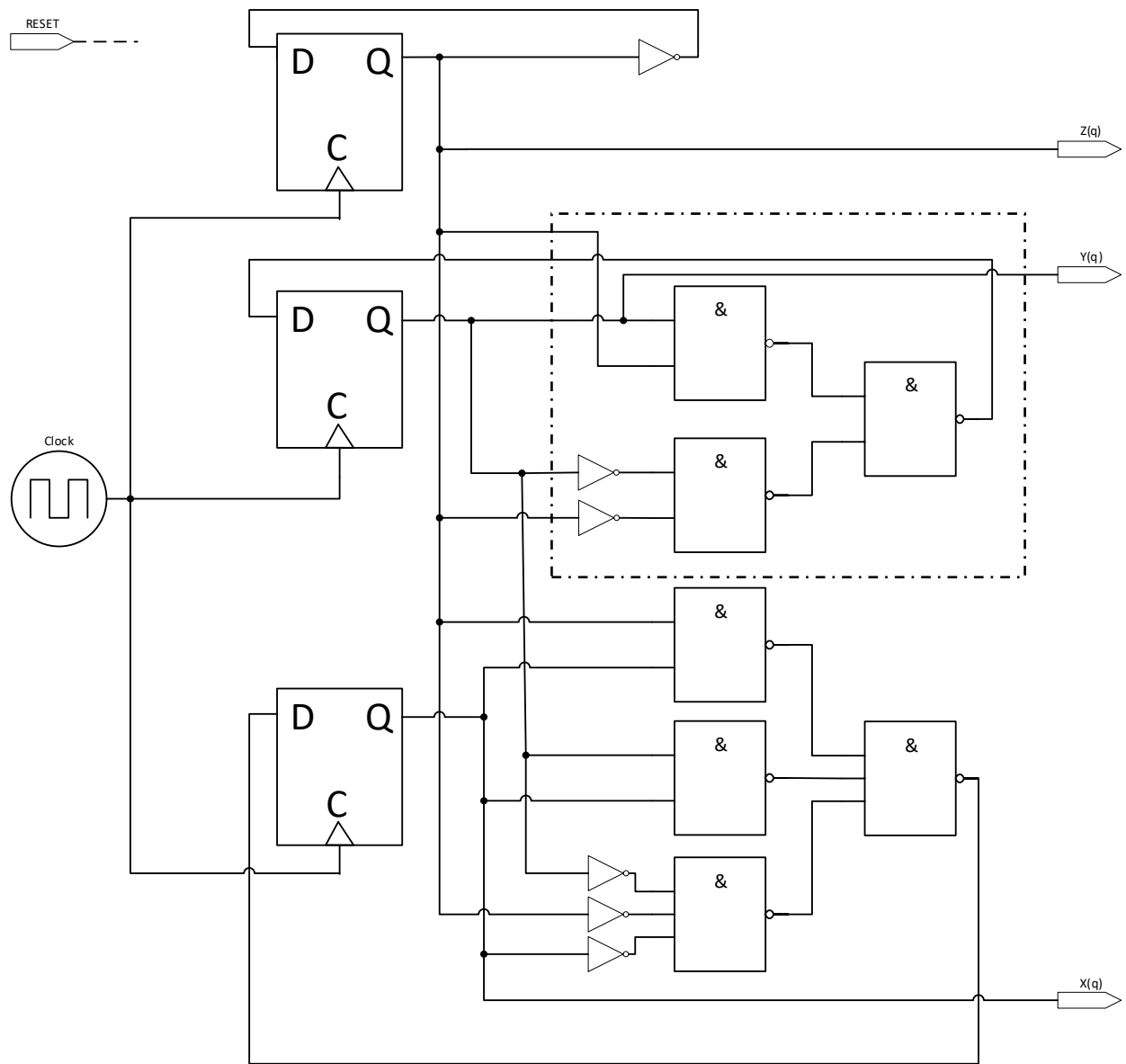


Abbildung 3-1: Sequentielle Schaltung
Sequential circuit

4. Aufgabe (15 Punkte)**Multiple Choice****Anmerkungen zur Bewertung:**

Kennzeichnen Sie im folgenden Multiple Choice Test durch Ankreuzen des jeweiligen Kästchens, ob die Antworten **richtig** oder **falsch** sind! Pro richtiger Kennzeichnung gibt es einen halben Punkt, pro falscher Kennzeichnung gibt es einen halben Punkt Abzug. Wird keine Aussage gemacht, werden null Punkte dafür vergeben. Von den theoretisch 16,5 erreichbaren Punkten können maximal 15 erreicht werden. Die minimale Punktzahl für alle Fragen zusammen beträgt 0 Punkte.

Hinweis: von den drei Antworten einer Frage können 0 bis 3 Antworten richtig oder falsch sein.

Notes regarding the evaluation:

In the following multiple-choice test, tick whether the answers are right (**richtig**) or false (**falsch**). For every correct tick, you will get 0.5 points. For every wrong mark you will get a deduction of 0.5 points. If you make no choice you will get 0 points for that question. The minimum total score for the whole task is 0 points. The maximum score is 15 points (of theoretically 16,5 points).

Hint: for every question, 0 up to 3 answers can be correct or false.

1. Für die Kanallängenmodulation λ gilt:

For the channel-length-modulation λ the following applies:

Beeinflusst den Arbeitspunkt analoger CMOS-Schaltungen.

Influences the operation point of analogue CMOS circuits

richtig

falsch

☐☐

Tritt nur im linearen Bereich auf.

Appears just in the linear region

☐☐

Ist einheitenlos.

Has no unit.

☐☐**2. Im Sättigungsbereich hat ein MOS Transistor die Eigenschaft**

In the saturated region, a MOS transistor has the property

einer Diode

of a diode

richtig

falsch

☐☐

einer Spannungsquelle

of a voltage source

☐☐

eines Kondensators

of a capacitor

☐☐**3. Ein NOR-Gatter mit 2 Eingängen in Pseudo-NMOS Technik besteht aus**

A NOR gate with 2 inputs in Pseudo-NMOS consists of:

2 Transistoren

2 Transistors

richtig

falsch

☐☐

3 Transistoren

3 Transistors

☐☐

4 Transistoren

4 Transistors

☐☐

Bitte wenden!
Please turn the page!

Name:

Matr.-Nr.:

4. Eine Kaskode-Stromquelle

A cascode current source

richtig

falsch

hat einen geringeren Ausgangswiderstand als eine einfache Stromquelle.

has a lower output resistance than a simple current source

☐☐

hat eine höhere Einsatz- Spannung als eine einfache Stromquelle.

has a higher cutoff voltage than a simple current source

☐☐

benötigt eine konstante Spannung.

needs a constant voltage.

☐☐

5. Ein Stack

A stack

richtig

falsch

ist ein LIFO-Speicher.

is a LIFO storage.

☐☐

wird typischerweise mit zwei Operationen bedient.

is operated with two operands.

☐☐

wird in Prozessoren als Speicher verwendet.

is used in processors as storage.

☐☐

6. Transmission-Gates

richtig

falsch

finden in der analogen und digitalen Schaltungstechnik Anwendung.

are used in analog and digital circuits.

☐☐

verbessern das Signal-Rausch-Verhältnis einer Übertragung.

improve the signal to noise ratio of a transmission.

☐☐

werden zur Schnittstellensteuerung (bspw. Bus-System) verwendet.

are used to handle interfaces (e.g. bus systems).

☐☐

7. In digitalen Schaltungen beschreiben Skew und Delay

In digital circuits skew and delay describe

richtig

falsch

eine Technik zur Minderung der dynamischen Verlustleistung.

a technique to avoid dynamic power dissipation.

☐☐

den ungewollten Versatz zwischen Signalen oder Clocks bspw. aufgrund verschiedener Leitungslängen oder Gatterlaufzeiten.

the unwanted skew between signals or clocks e.g. due to differences in path length or gate delays.

☐☐

eher untypische Quellen für Funktionsfehler.

rather atypical sources of functional faults.

☐☐

Bitte wenden!
Please turn the page!

Name:

Matr.-Nr.:

8. NOR-Gatter in Pseudo-NMOS

NOR-gates in Pseudo-NMOS

richtig

falsch

sind langsamer als NAND-Gatter in Pseudo-NMOS.

are slower than NAND-gates in Pseudo-NMOS.

☐☐

können eine hohe statische Verlustleistung haben.

may have a high static power dissipation.

☐☐

bestehen aus mehr Transistoren als ein NOR in CMOS.

consist of more transistors than a NOR in CMOS.

☐☐

9. Für ein RAM-Zellen-Feld mit 2^n Bitlines und 2^m Wordlines gilt:

For a RAM cell field with 2^n Bitlines and 2^m Wordlines, the following applies:

richtig

Falsch

Ohne Decoder werden $n \cdot m$ Adressleitungen benötigt.

Without a decoder, $n \cdot m$ address lines are needed.

☐☐

Mit Zeilen- und Spalten-Decoder werden $n + m$ Adressleitungen benötigt

With a row and column decoder, $n + m$ address lines are needed.

☐☐

Die Zeilen-Decoder-Schaltung verwendet häufig die Pseudo-NMOS-Logik.

The row decoder circuit often uses Pseudo-NMOS-Logic.

☐☐

10. SRAM vs. DRAM

richtig

falsch

Eine Bit DRAM Zelle benötigt weniger Fläche als eine Bit SRAM Zelle.

A Bit DRAM cell needs less area than a Bit SRAM cell.

☐☐

DRAM ist schneller als SRAM.

DRAM is faster than SRAM.

☐☐

SRAM Zellen benötigen eine minimale Betriebsfrequenz.

SRAM cells need a minimum operation frequency.

☐☐

11. Ein FPGA

An FPGA

richtig

falsch

besteht aus Logikblöcken, deren logische Funktion der Nutzer durch Programmierung bestimmen kann.

consists of logic blocks whose functions the user can control by programming.

☐☐

stellt einen Kompromiss zwischen ASIC und Universal-Prozessoren dar.

is a compromise between ASICs and universal processors.

☐☐

kann im Allgemeinen höher getaktet werden als ein ASIC.

can generally have a higher clock frequency than an ASIC.

☐☐