



# Klausur Mikroelektronik I

Wintersemester 2018/19

28. März 2019

## Hinweise:

- Benutzen Sie für jede Aufgabe einen eigenen Kanzleibogen!
- Verwenden Sie weder **Rotstift** noch **Bleistift**!
- Tragen Sie auf **jeder Seite** der Aufgabenstellung, auf der Sie etwas schreiben oder zeichnen, Ihren Namen und Ihre Matrikelnummer ein!
- Tragen Sie auf **jedem Kanzleibogen** Ihren Namen und Ihre Matrikelnummer ein!
- Geben Sie die **Aufgabenstellung**, die **Kanzleibögen** sowie das **einseitig beschriebene DIN-A4 Hilfsblatt** mit ab!

## *Explanatory notes:*

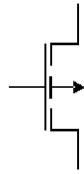
- *Please use an individual piece of paper for each task!*
- *Do not use red pens or pencils!*
- *Write down your name and your matriculation number on each tasksheet on which you write or draw something!*
- *Write down your name and your matriculation number on each sheet!*
- *Submit all sheets (including the tasksheets and the single-sided auxiliary DIN-A4 sheet)!*

Name:

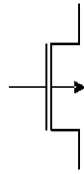
Matr.-Nr.:

## Zu verwendende Transistor-Schaltzeichen

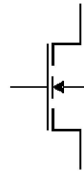
*Transistor symbols to be used*



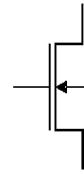
a)



b)



c)



d)

a) p-Kanal: selbstsperrend  
*p-channel: enhancement*

b) p-Kanal: selbstleitend  
*p-channel: depletion*

c) n-Kanal: selbstsperrend  
*n-channel: enhancement*

d) n-Kanal: selbstleitend  
*n-channel: depletion*

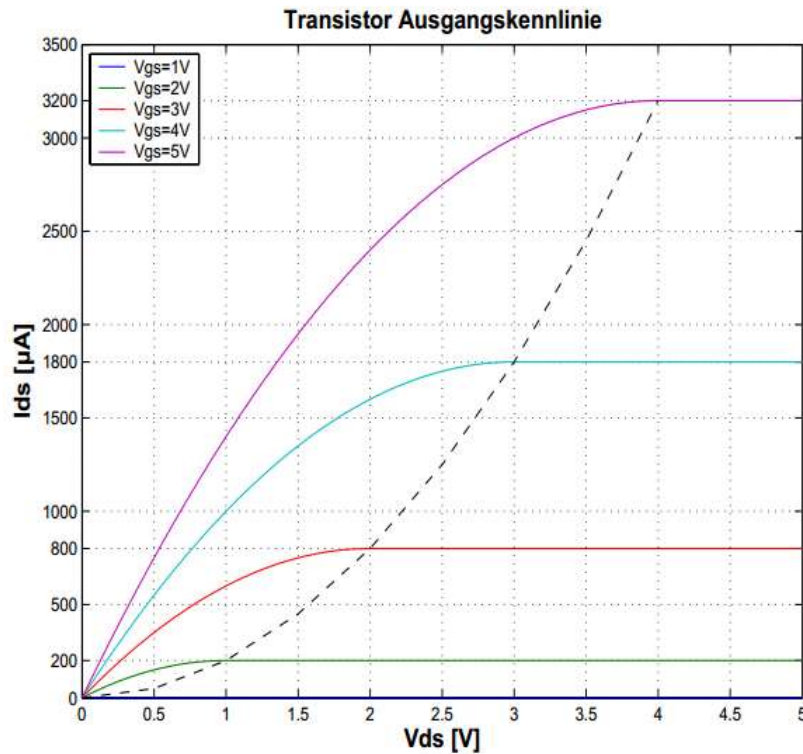
**1. Aufgabe (5 Punkte)**

Abbildung 1-1

- a) In Abbildung 1-1 ist das Ausgangskennlinienfeld eines NMOS-Transistors abgebildet. Was versteht man unter Kanallängenmodulation (Faktor  $\lambda$ )? Ist der Effekt in Abbildung 1-1 berücksichtigt? Was ist die gestrichene Linie in Abbildung 1-1?

The output characteristics of an NMOS-Transistor is given as figure 1-1 shown. What is the channel modulation (factor  $\lambda$ )? In this figure, has this effect been considered? What is the dashed line in this figure?

- b) Gegeben sei  $\beta_{0n} = 100 \frac{\mu A}{V^2}$ , Verwenden Sie die Daten von Abbildung 1-1 und berechnen Sie die Schwell-Spannung ( $V_{Tn}$ ) und die Dimensionierung  $\frac{W}{L}$  des nMOS-Transistors.

Considering  $\beta_{0n} = 100 \frac{\mu A}{V^2}$  and data in figure 1-1, please calculate the threshold voltage ( $V_{Tn}$ ) and dimension  $\frac{W}{L}$  of the NMOS-Transistor.

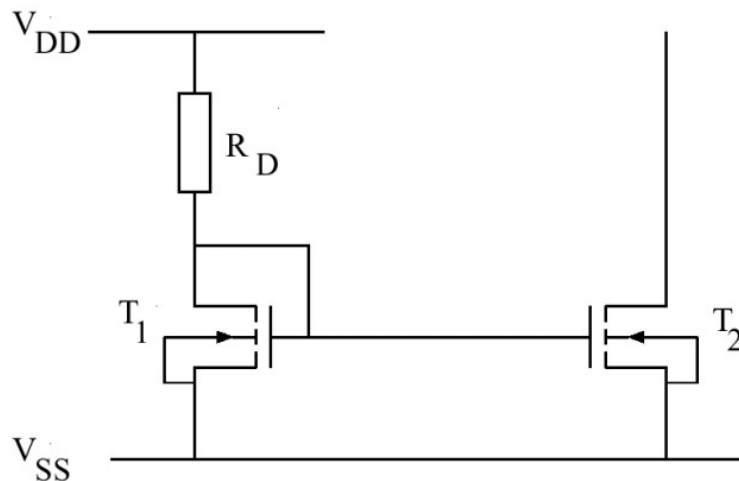
**2. Aufgabe (5 Punkte)****Stromspiegel**  
*Current mirror*

Abbildung 1-2

Gegeben sei der Stromspiegel in Abbildung 1-2. Dimensionieren Sie diesen für folgende Angaben:

The current mirror is given in figure 1-2. The data of the circuit is as follow:

$$\begin{array}{ll}
 U_{Tn} = 1V & V_{SS} = 0V \\
 I_{D1} = 72\mu A & \beta_{0n} = 120 \mu A/V^2 \\
 I_{D2} = 720\mu A & \lambda = 0,1 \text{ } 1/V \\
 U_{GS} = 2V & L = 10\mu m \text{ } (T_1, T_2) \\
 V_{DD} = 5V & U_{DS2} = 2V
 \end{array}$$

- a) Wie hoch ist das Spiegelverhältnis? Bestimmen Sie den Widerstand  $R_D$  der Schaltung und das  $W$  von Transistor  $T_2$ .

How high is the mirror ratio? Please determine the resistance  $R_D$  in this circuit, and parameter  $W$  of the transistor  $T_2$ .

- b) Zeichnen Sie das Kleinsignalersatzschaltbild für  $T_2$  im Arbeitspunkt an und berechnen Sie den Ausgangswiderstand der Schaltung.

Please draw the small-signal equivalent circuit for  $T_2$  and calculate the output resistance of this circuit.

**3. Aufgabe (7 Punkte)****Prozessor und Systemarchitektur**  
*Processor and System Architecture***3.1 Allgemein (1 Punkt)***Generics*

Bewerten Sie folgende Implementierungen bezüglich Performance und Flexibilität und sortieren Sie sie absteigend nach ihrer Performance:

*Rate the following implementations regarding their performance and flexibility and sort them according to their performance in descending order:*

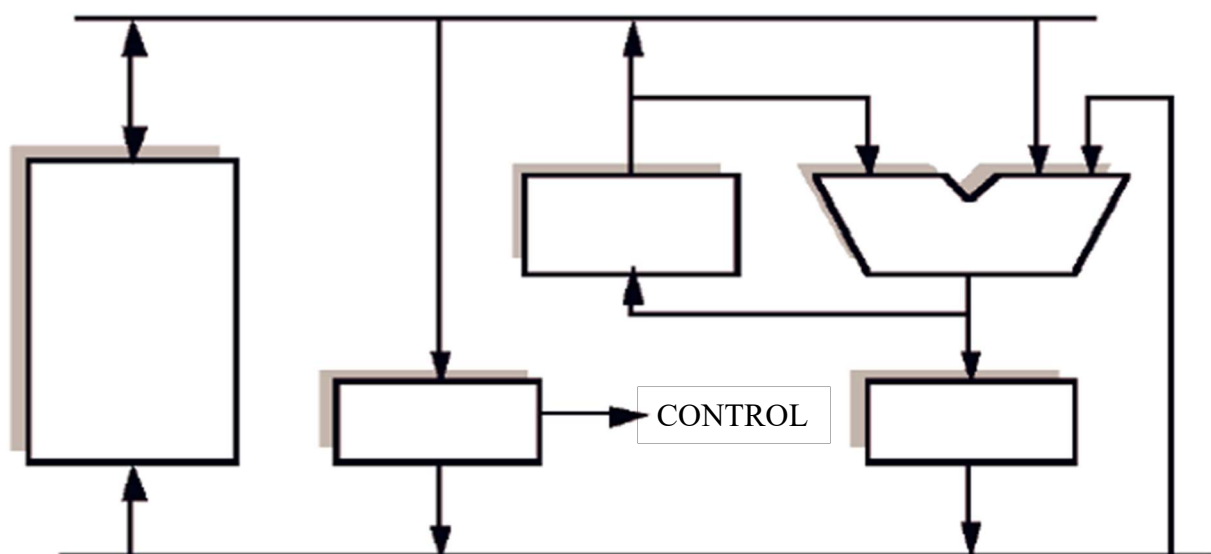
- FPGA
- DSP
- ASIC
- Microcontroller

**3.2 Prozessorarchitektur (4 Punkte)***Processor Architecture*

Abbildung 3-1 zeigt einen einfachen Prozessor. Beschriften Sie die Funktionsblöcke mit folgenden Begriffen und erläutern Sie ALU und IR!

*Figure 3-1 shows a simple processor. Label the function blocks with the following terms and explain the terms ALU and IR!*

- |       |               |
|-------|---------------|
| - ALU | - MEMORY      |
| - ACC | - DATA BUS    |
| - IR  | - ADDRESS BUS |
| - PC  |               |



**Abbildung 3-1: Einfacher Prozessor**  
*Simple processor*

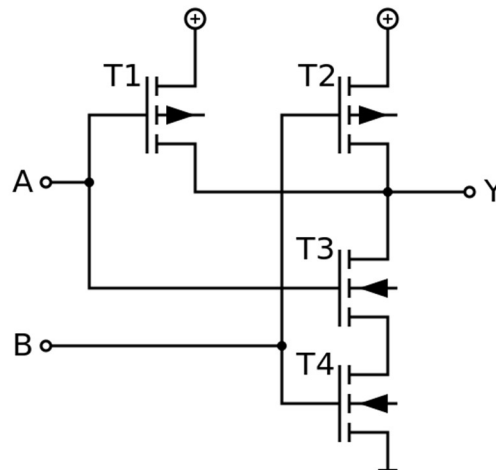
### 3.3 Befehlssätze (2 Punkte)

#### *Instruction Sets*

Beschreiben Sie den Unterschied zwischen *Reduced Instruction Set Computer* (RISC) und *Complex Instruction Set Computer* (CISC) Befehlssätzen im Hinblick auf folgende Kriterien:

*Describe the difference between RISC (Reduced Instruction Set Computer) and CISC (Complex Instruction Set Computer) instruction sets with regard to the following criteria:*

- Funktionalität der Befehle  
*Instruction functionality*
- Befehlssatz  
*Instruction set*
- Code-Größe  
*Code size*
- Zyklen der Befehle  
*Instruction cycles*

**4. Aufgabe (2+4+1+1 = 8 Punkte)****CMOS**

- a) Erstellen sie die Wahrheitstabelle und geben sie die boolesche Funktion des obigen Gatters an. Benennen Sie die Funktion

*Build the truth table and specify the Boolean function of the gate shown above. Name the function.*


- b) Dimensionieren Sie die Transistoren des Gatters so, dass die Schaltung (auch im schlechtesten Fall) die gleiche Anstiegszeit und Fallzeit hat. Die Schaltung soll gleich schnell schalten wie ein symmetrischer CMOS-Inverter, dessen n-Kanal Transistor ein W/L-Verhältnis von 1/1 und dessen p-Kanal Transistor ein W/L von 3/1 aufweist.

*Dimension the transistors of the gate so that the circuit has the same rise time and fall time (even in the worst case). The circuit should be able to switch as fast as a symmetrical CMOS inverter whose n-channel has a W/L-ratio of 1/1 and whose p-channel transistor has a W/L of 3/1.*

- c) Zeichnen Sie das Transistorschaltbild des obigen Gatters in Pseudo-NMOS Technik, sodass die gleiche Funktion gewährleistet wird.

*Draw the transistor diagram of the above gate in pseudo-NMOS technique, so that the same function is guaranteed.*

- d) Nennen sie jeweils zwei Vorteile von CMOS und Pseudo-NMOS.

*Name two advantages for each of them : CMOS and pseudo-NMOS.*

## 5. Aufgabe (5 Punkte)

## Programmierbare Logik *Programmable Logic*

### 5.1 (1 Punkt)

Zeigen Sie, dass folgendes gilt:

*Show the truth of the following equation:*

$$\bar{a} + b = \bar{a} + ab$$

### 5.2 (1,5 Punkte)

Skizzieren Sie den grundlegenden Aufbau eines PLAs in Form eines Blockschaltbildes und erklären Sie dessen Funktionsweise! Wie wird die Programmierung fertigungstechnisch umgesetzt?

*Please sketch the basic setup of a PLA in form of a block diagram and explain the function!*

*How is the programming of a PLA realized in production?*

### 5.3 (2,5 Punkte)

In Abbildung 4-1 ist eine Logikschaltung abgebildet.

- Bestimmen und vereinfachen Sie die boolesche Funktion  $X(A, B, C)$  der Schaltung!  
*Determine and simplify the boolean function  $X(A, B, C)$  of the given circuit!*
- Bringen Sie die Funktion  $X$  in eine PLA-geeignete Form!  
*Transform the function  $X$  into a PLA suitable form!*

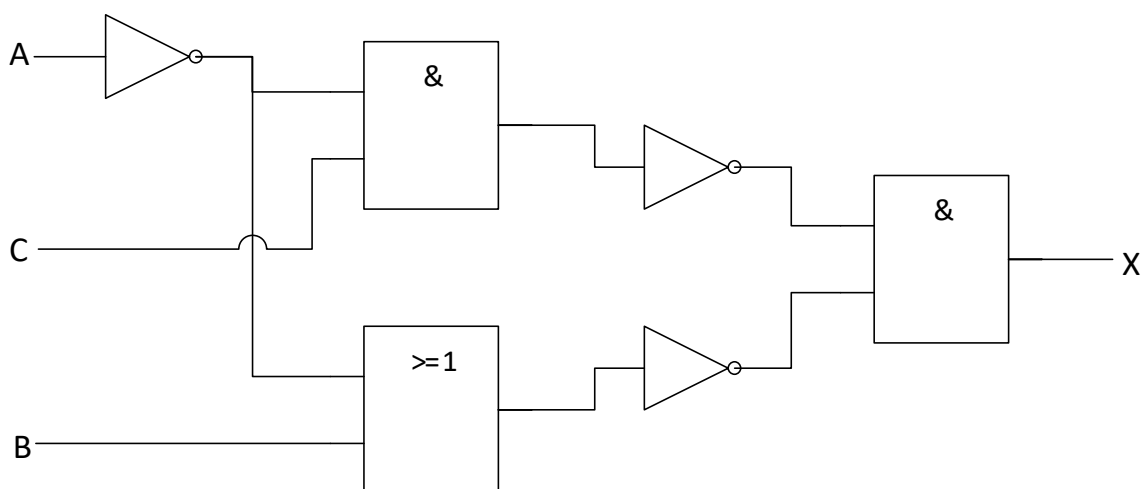


Abbildung 4-1: Logikschaltung / *Logic circuit*



## 6. Aufgabe      (1+1+3=5 Punkte)      Programmierbare Logik *Programmable Logic*

Gegeben ist das Layout eines PLA in Abbildung 4-2

*In figure 4-2 a layout of a PLA is given.*

- a) Ergänzen Sie die fehlende Beschriftung in der Legende! Um welches Substrat handelt es sich (Dotierung)?

*Complete the missing description within the legend! Which substrate (doping) is used?*

- b) Markieren Sie jeweils einen NMOS und einen PMOS Transistor des PLA und beschriften Sie jeweils Source, Gate und Drain. Welche Funktion erfüllen die PMOS Transistoren?

*Mark one NMOS and one PMOS transistor of the PLA and label the source, gate and drain. Which function do the PMOS transistors fulfill?*

- c) Welche Funktion  $Y_1(A, B, C)$  wird im dargestellten PLA realisiert?

Ergänzen Sie das PLA-Layout so, dass für die Funktion  $Y_2$  gilt:

*Which function  $Y_1(A, B, C)$  is realized by the PLA? Extend the layout so that the following function is true:*

$$\overline{Y_2}(A, B, C) = \overline{X + Y_1}$$

Dabei ist  $X$  die Funktion  $X = \overline{A}B$ .

*Here, the function  $X$  is  $X = \overline{A}B$ .*

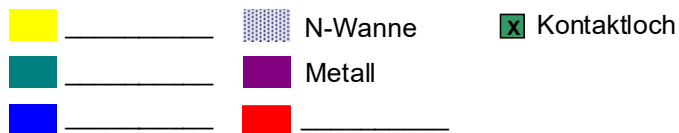
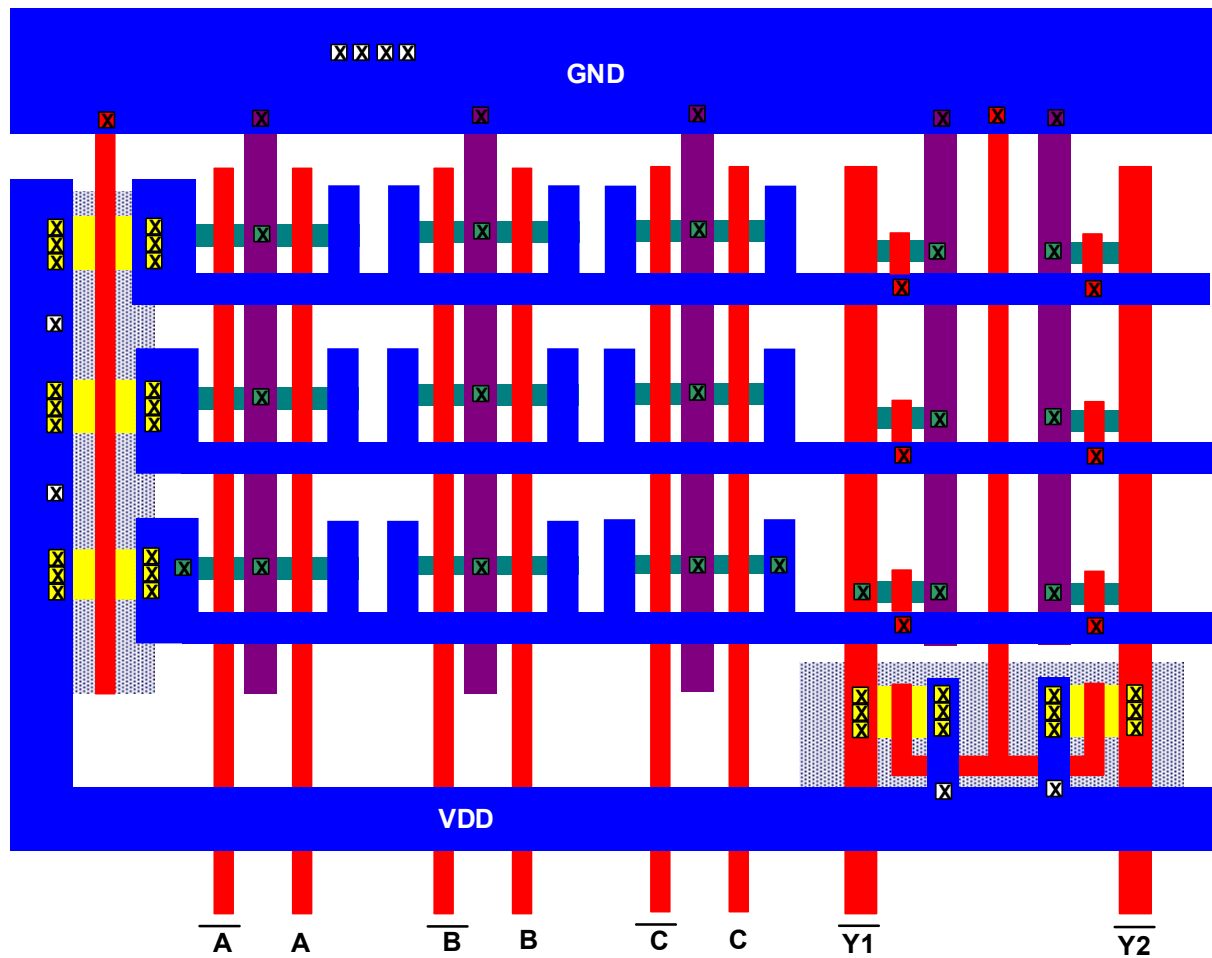


Abbildung 4-2: ein PLA-Layout

**7. Aufgabe (15 Punkte)****Multiple Choice****Anmerkungen zur Bewertung:**

Kennzeichnen Sie im folgenden Multiple Choice Test durch Ankreuzen des jeweiligen Kästchens, ob die Antworten **richtig** oder **falsch** sind! Pro richtiger Kennzeichnung gibt es einen halben Punkt, pro falscher Kennzeichnung gibt es einen halben Punkt Abzug. Wird keine Aussage gemacht, werden null Punkte dafür vergeben. Von den theoretisch 16,5 erreichbaren Punkten können maximal 15 erreicht werden. Die minimale Punktzahl für alle Fragen zusammen beträgt 0 Punkte.

**Hinweis:** von den drei Antworten einer Frage können 0 bis 3 Antworten richtig oder falsch sein.

**Notes regarding the evaluation:**

In the following multiple-choice test, tick whether the answers are right (**richtig**) or false (**falsch**). For every correct tick, you will get 0.5 points. For every wrong mark you will get a deduction of 0.5 points. If you make no choice you will get 0 points for that question. The minimum total score for the whole task is 0 points. The maximum score is 15 points (of theoretically 16,5 points).

**Hint:** for every question, 0 up to 3 answers can be correct or false.

**1. Für die Kanallängenmodulation  $\lambda$  gilt:**

*For the channel-length-modulation  $\lambda$  the following applies:*

Beeinflusst den Arbeitspunkt analoger CMOS-Schaltungen.

*Influences the operation point of analogue CMOS circuits.*

richtig

falsch

☐☐

Tritt nur im linearen Bereich auf.

*Appears just in the linear region.*

☐☐

Ist einheitenlos.

*Has no unit.*

☐☐**2. Im Sättigungsbereich hat ein MOS Transistor die Eigenschaft**

*In the saturated region, a MOS transistor has the property*

einer Diode.

*of a diode.*

richtig

falsch

☐☐

einer Stromquelle.

*of a current source.*

☐☐

eines Kondensators.

*of a capacitor.*

☐☐**3. Ein NOR-Gatter mit 2 Eingängen in CMOS Technik besteht aus**

*A NOR gate with 2 inputs in Pseudo-NMOS consists of:*

2 Transistoren.

*2 Transistors.*

richtig

falsch

☐☐

3 Transistoren.

*3 Transistors.*

☐☐

4 Transistoren.

*4 Transistors.*

☐☐

Name:

Matr.-Nr.:

4. Ein P-Kanal Anreicherungstyp Transistor

*A P-Channel enhancement transistor*

richtig

falsch

benötigt eine positive Steuerspannung  $U_{gs}$  um durchzuschalten.

*needs a positive voltage  $U_{gs}$  to be switched on.*

☐☐

ist bei einer Steuerspannung  $U_{gs} = 0V$  sperrend.

*is turned off when  $U_{gs} = 0V$ .*

☐☐

hat einen P-dotierten Bulk.

*has a p-doped bulk.*

☐☐

5. Ein Register

*A register*

richtig

falsch

ist ein Array von FlipFlops.

*is an array of flipflops.*

☐☐

ist pegelgesteuert.

*is level-controlled.*

☐☐

ist der teuerste Speicher aufgrund der vielen Transistoren.

*Is the most expensive memory due to its many transistors.*

☐☐

6. Transmission-Gates

richtig

falsch

finden in der analogen und digitalen Schaltungstechnik Anwendung.

*can be used in analog and digital circuits.*

☐☐

verbessern das Signal-Rausch-Verhältnis einer Übertragung.

*improve the signal to noise ratio of a transmission.*

☐☐

werden zur Schnittstellensteuerung (bspw. Bus-System) verwendet.

*can be used to handle interfaces (e.g. bus systems).*

☐☐

7. In digitalen Schaltungen beschreiben Skew und Delay

*In digital circuits skew and delay describe*

richtig

falsch

eine Technik zur Minderung der dynamischen Verlustleistung.

*a technique to avoid dynamic power dissipation.*

☐☐

den ungewollten Versatz zwischen Datensignalen oder Clocks bspw. aufgrund verschiedener Leitungslängen oder Gatterlaufzeiten.

*the unwanted skew between data signals or clocks e.g. due to differences in path length or gate delays.*

☐☐

eher untypische Quellen für Funktionsfehler.

*rather atypical sources of functional faults.*

☐☐

Name:

Matr.-Nr.:

8. Eine Von Neumann Maschine hat im Gegensatz zur Harvard-Maschine

richtig falsch

*A von Neumann machine has in contrast to the harvard machine*

eine Trennung zwischen Programm- und Datenspeicher .  
*a separation of program and data memory.*

☐ ☐

gesonderte Programm- und Datenbusse.  
*a separate program and data bus.*

☐ ☐

wegen ihrer Geschwindigkeit eine häufige Verwendung in DSPs.  
*a common usage in DSPs due to their speed.*

☐ ☐

9. Für ein RAM-Zellen-Feld mit  $2^n$  Bitlines und  $2^m$  Wordlines gilt:

*For a RAM cell field with  $2^n$  Bitlines and  $2^m$  Wordlines, the following applies:*

richtig falsch

Ohne Decoder werden  $n \cdot m$  Adressleitungen benötigt.  
*Without a decoder,  $n \cdot m$  address lines are needed.*

☐ ☐

Mit Zeilen- und Spalten-Decoder werden  $n + m$  Adressleitungen benötigt  
*With a row and column decoder,  $n + m$  address lines are needed.*

☐ ☐

Die Zeilen-Decoder-Schaltung verwendet häufig die Pseudo-NMOS-Logik.  
*The row decoder circuit often uses Pseudo-NMOS-Logic.*

☐ ☐

10. SRAM vs. DRAM

richtig falsch

Eine Bit DRAM Zelle benötigt weniger Fläche als eine Bit SRAM Zelle.  
*A Bit DRAM cell needs less area than a Bit SRAM cell.*

☐ ☐

DRAM ist schneller als SRAM.  
*DRAM is faster than SRAM.*

☐ ☐

SRAM Zellen benötigen eine minimale Betriebsfrequenz.  
*SRAM cells need a minimum operation frequency.*

☐ ☐

Name:

Matr.-Nr.:

11. Ein FPGA

*An FPGA*

richtig

falsch

besteht aus Logikblöcken, deren logische Funktion der Nutzer durch Programmierung bestimmen kann.

*consists of logic blocks whose functions the user can control by programming.*

☐☐

stellt einen Kompromiss zwischen ASIC und Universal-Prozessoren dar.

*is a compromise between ASICs and universal processors.*

☐☐

kann im Allgemeinen höher getaktet werden als ein ASIC.

*can usually be operated at a higher clock frequency than an ASIC.*

☐☐