



Klausur Mikroelektronik I

Wintersemester 2020/21

26. März 2021

Hinweise:

- Benutzen Sie für jede Aufgabe einen eigenen Kanzleibogen!
- Verwenden Sie weder **Rotstift** noch **Bleistift**!
- Tragen Sie auf **jeder Seite** der Aufgabenstellung, auf der Sie etwas schreiben oder zeichnen, Ihren Namen und Ihre Matrikelnummer ein!
- Tragen Sie auf **jedem Kanzleibogen** Ihren Namen und Ihre Matrikelnummer ein!
- Geben Sie die **Aufgabenstellung**, die **Kanzleibögen** sowie das **einseitig beschriebene DIN-A4 Hilfsblatt** mit ab!

Explanatory notes:

- *Please use an individual piece of paper for each task!*
- *Do not use **red pens** or **pencils**!*
- *Write down your name and your matriculation number on each **tasksheet** on which you write or draw something!*
- *Write down your name and your matriculation number on each **sheet**!*
- *Submit all **sheets** (including the **tasksheets** and the **single-sided auxiliary DIN-A4 sheet**)!*

Name:

Matr.-Nr.:

Zu verwendende Transistor-Schaltzeichen

Transistor symbols to be used



a)



b)



c)



d)

a) p-Kanal: selbstsperrend
p-channel: enhancement

b) p-Kanal: selbstleitend
p-channel: depletion

c) n-Kanal: selbstsperrend
n-channel: enhancement

d) n-Kanal: selbstleitend
n-channel: depletion

1. Aufgabe (12 Punkte)

Bauelemente

Device

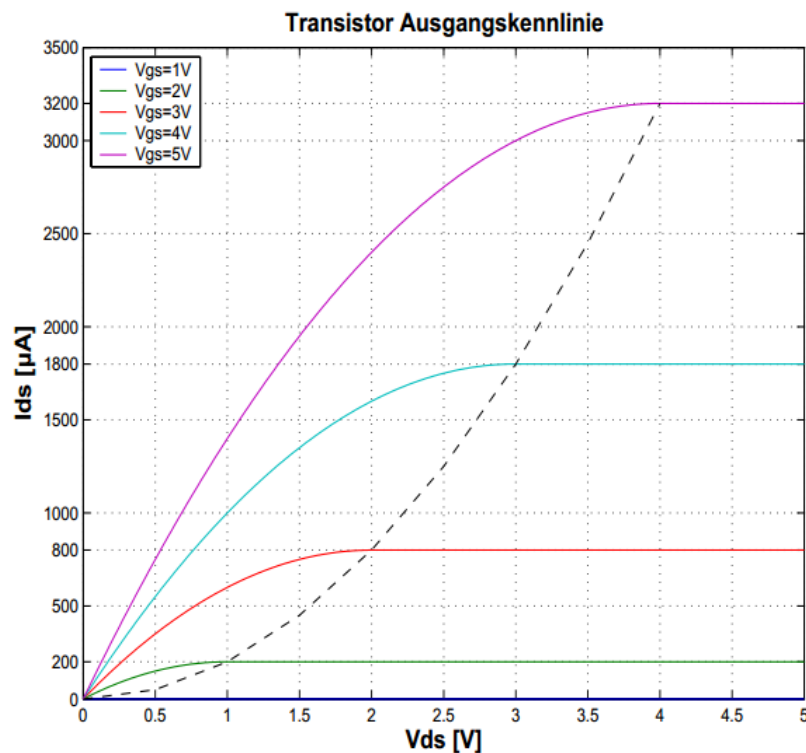


Abbildung 1-1

1.1. Kanallängenmodulation (3 Punkte)

In Abbildung 1-1 ist das Ausgangskennlinienfeld eines nMOS-Transistors abgebildet. Was versteht man unter Kanallängenmodulation (Faktor λ)? Ist der Effekt in Abbildung 1-1 berücksichtigt?

The output characteristics of nMOS-Transistors is given as in figure 1-1 shown. What is the channel length modulation effect (factor λ)? Has this effect been depicted in this figure?

1.2 Kapazitäten (3 Punkte)

In Abbildung 1-2 sehen Sie den Querschnitt durch einen NMOS-Transistor. Tragen Sie die hierfür notwendigen Dotierungen in die drei weißen Kästchen in der Abbildung ein. Zeichnen Sie nun zusätzlich die vier wesentlichen parasitären Kapazitäten ein.

In figure 1-2 is the cross section of a NMOS transistor. Please write down the necessary doping of the semiconductor in the three white boxes of the figure. Please draw the four essential parasitic capacities.

Name:

Matr.-Nr.:

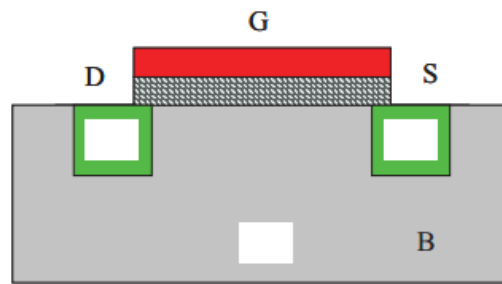
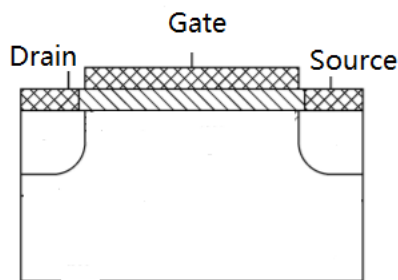


Abbildung 1-2

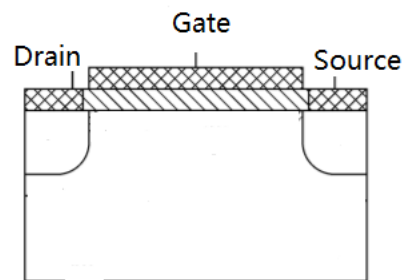
1.3 Kanal (3 Punkte)

In der Abbildung 1-1 stellt die gestrichelte Linie den Übergang zwischen linearem (Triode) und Sättigungsbereich. In Abbildung 1-3 ist der Querschnitt eines MOS-Transistors zweifach dargestellt. Bitte zeichnen Sie jeweils den leitenden Kanal für den linearen und den Sättigungsbetrieb.

Figure 1-1 shows a dashed line between linear and saturation region. The cross section of a MOS transistor is shown twice in figure 1-3. Please draw the conductive channels in figure 1-3 for a linear and saturation mode, respectively.



(a) In linear mode



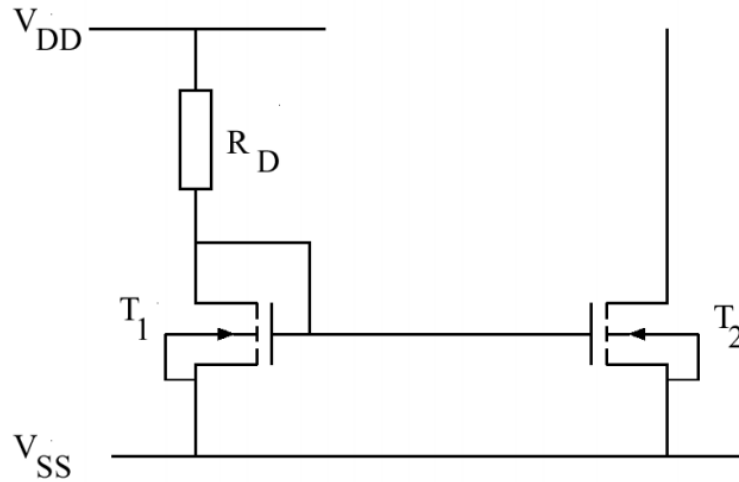
(b) In saturation modes

Abbildung 1-3

1.4 Dimensionierung (3 Punkte)

Gegeben sei $\beta_0 = 100 \frac{\mu A}{V^2}$, Verwenden Sie die Daten von Abbildung 1-1 und berechnen Sie die Threshold-Spannung (V_T) und die Dimensionierung $\frac{W}{L}$ des MOS-Transistors.

Considering $\beta_0 = 100 \frac{\mu A}{V^2}$ and data in figure 1-1, please calculate the threshold voltage (V_T) and dimension $\frac{W}{L}$ of MOS-Transistors.

2. Aufgabe (13 Punkte)**Analoge Schaltungstechnik***Analog Circuits***2.1 Stromspiegel (3+2+2=7)****Abbildung 2-1**

Gegeben sei der Stromspiegel in Abbildung 2-1. Die Parameter der Bauelemente und der Schaltung werden wie folgt angegeben:

The current mirror is given in figure 2-1. The parameters of the devices and the circuit are as follow:

$U_{Tn} = 1V$	$V_{SS} = 0V$
$I_{D1} = 72\mu A$	$\beta_{0n} = 120 \mu A/V^2$
$I_{D2} = 720\mu A$	$\lambda = 0,1 \text{ } 1/V$
$U_{GS} = 2V$	$L = 10\mu m \text{ } (T_1, T_2)$
$V_{DD} = 5V$	$U_{DS2} = 2V$

- 2.1.1 Wie hoch ist das Spiegelverhältnis? Bestimmen Sie den Widerstand R_D der Schaltung und das W von Transistor T_2 .

How high is the mirror ratio? Please determine the resistance R_D in this circuit, and parameter W of the transistor T_2 .

- 2.1.2 Zeichnen Sie das Kleinsignalersatzschaltbild für T_2 im Arbeitspunkt und berechnen Sie den Ausgangswiderstand der Schaltung.

Please draw the small-signal equivalent circuit for T_2 and calculate the output resistance of this circuit.

- 2.1.3 Ersetzen Sie den Lastwiderstand aus Abbildung 2-1, durch einen als Diode verschalteten PMOS Transistor.

Replace the load resistance from Abbildung 2-1, with a diode realized by a PMOS transistor.

2.2 Inverter Schaltung (2+2+2)

- 2.2.1 Zeichnen Sie das Schaltbild eines CMOS-Inverters unter Verwendung von MOSFETs vom Typ „Anreicherung“ (enhancement-type). Markieren sie die Versorgungsspannungen (VDD, VSS) sowie die Ein- und Ausgangsgrößen (U_{in} , U_{out}).

Please draw the schematic of a CMOS inverter using enhancement MOSFETs. Mark the supply voltages (VDD, VSS) and the input and output (U_{in} , U_{out}).

- 2.2.2 Skizzieren Sie die prinzipielle Transferkennlinie $U_{out}(U_{in})$ für den Inverter aus Aufgabe 2.2.1).

Please draw the transfer function $U_{out}(U_{in})$ for the inverter in task 2.2.1) in principle.

- 2.2.3 In welchem Arbeitsbereich befinden sich der NMOS und der PMOS-Transistor jeweils für ein Low-Signal ($U_{in} = V_{SS}$) bzw. ein High-Signal ($U_{in} = V_{DD}$) am Eingang?

Erläutern Sie anhand der Transferkennlinie aus 2.2.2 die verschiedenen Arbeitsbereiche in denen sich der NMOS- bzw. PMOS-Transistor befindet, wenn sich die Ansteuerspannung von VSS nach VDD ändert.

In which region do the NMOS and PMOS transistor operate if the input is driven with a low voltage ($U_{in} = V_{SS}$) and high voltage ($U_{in} = V_{DD}$)

Using the transfer function in task 2.2.2, explain the different operation region the NMOS and the PMOS operate when the input voltage changes from VSS to VDD.

3. Aufgabe (18 Punkte)**Logik und PLA Grundlagen***Logic and PLA Basics***3.1 Allgemein (2 + 1 + 3 + 2 = 8 Punkte)**

3.1.1 Beweisen Sie die Gültigkeit der De Morganschen Gesetze!

Prove the validity of De Morgan's laws!

3.1.2 Zeigen Sie, dass folgendes gilt:

Show that the following is true:

$$A = B \Leftrightarrow \bar{A}\bar{B} + AB = 1$$

Welcher booleschen Funktion entspricht es?

Which Boolean function does it correspond to?

3.1.3 In Abbildung 3-1 ist eine digitale Schaltung gezeigt. Bestimmen Sie die folgenden booleschen Funktionen

Abbildung 3-1 *shows a digital circuit. Determine the following Boolean functions:*

$$C = f_1(A, B)$$

$$D = f_2(A, B)$$

$$E = f_3(A, B)$$

Welche Funktionalität wird mit Hilfe von f_1, f_2, f_3 realisiert?

Which functionality is realized by using f_1, f_2, f_3 ?

3.1.4 Realisieren Sie die Funktion $f_2(A, B)$ **nur** unter Verwendung von NOR Gatter. Zeichnen Sie die resultierende Lösung (Gatter-Ebene)!

*Realize the function $f_2(A, B)$ by using NOR gates **only**. Draw the resulting solution (Gate-Level)!*

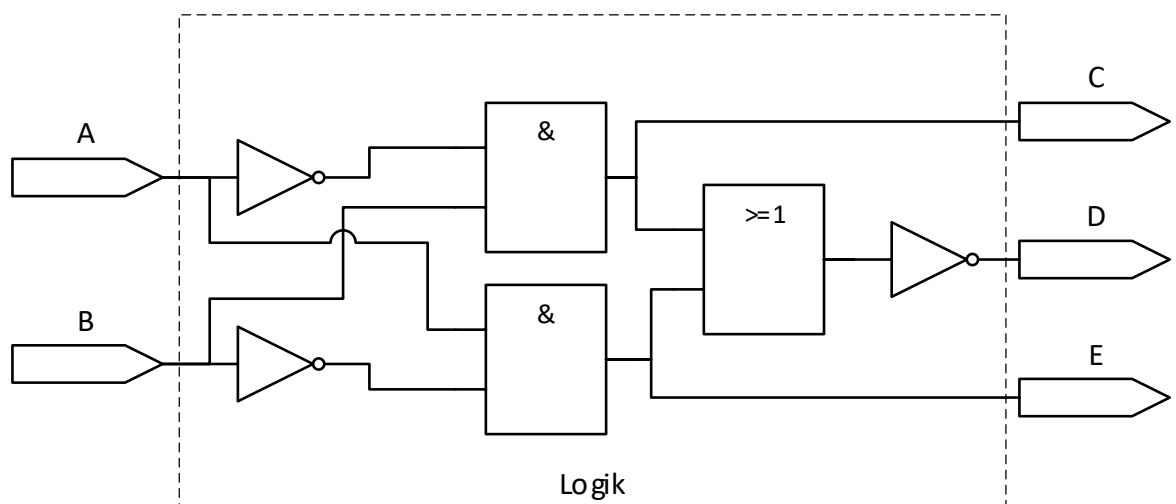


Abbildung 3-1: Eine digitale Schaltung.

3.2 Grundlagen PLA (3 + 2 = 5 Punkte)

- 3.2.1 Wofür steht PLA? Beschreiben Sie wie eine Programmierung in Hardware umgesetzt wird! Was ist der Unterschied zur Programmierung eines FPGAs?
Explain the term PLA. Describe how the programming is implemented in hardware! What is the difference compared to FPGA programming?
- 3.2.2 Skizzieren Sie die prinzipielle Block-Struktur eines PLAs welche eine disjunktive Normalform beschreibt!
Draw the basic block structure of a PLA which describes a disjunctive normal form!

3.3 PLA Realisierung (1 + 1 + 2 + 1 = 5 Punkte)

- 3.3.1 Zeichnen Sie ein NOR Gatter in Pseudo-NMOS!
Draw a NOR gate in Pseudo-NMOS!
- 3.3.2 Erläutern Sie, welchen Nachteil eine NAND Realisierung gegenüber NOR hat. Beide Realisierungen seien als Pseudo-NMOS ausgeführt.
Explain which drawback a NAND implementation has compared to NOR! Both implementations shall be embodied as Pseudo-NMOS.
- 3.3.3 Gegeben sei folgende Funktion:
The following function is given:

$$z = abcdefgh$$

Eine mögliche Realisierung in CMOS wäre:

A possible CMOS realization would be:

$$z_1 = \overline{\overline{abcdefgh}}$$

Geben Sie 2 weitere Realisierungsmöglichkeiten an. Welche Zielgrößen sind für die Wahl der Realisierung von Bedeutung?

Provide 2 further realizations. Which metrics are important for the choice of the implementation?

- 3.3.4 Überführen Sie z in eine PLA geeignete Form mit NOR-Realisierung!
Convert z into a PLA suitable form with NOR implementation!

4. Aufgabe (3 + 3 + 2 + 4 = 12 Punkte)**PLA Design**

Abbildung 4-1 stellt ein PLA-Layout dar.

Abbildung 4-1 *shows a PLA layout.*

- 4.1 Ergänzen Sie die fehlende Beschriftung in der Legende! In welchem Substrat ist das PLA realisiert (Dotierung)?

Complete the missing description within the legend! Which kind of doping has the substrate?

- 4.2 Markieren Sie jeweils einen NMOS und einen PMOS Transistor des PLA und beschriften Sie jeweils Source, Gate und Drain. Welche Funktion erfüllen die PMOS Transistoren?

Mark one NMOS and one PMOS transistor of the PLA and label the source, gate and drain. Which function do the PMOS transistors fulfill?

- 4.3 Welche Funktion $Y(A, B, C, D)$ wird im dargestellten PLA realisiert?

Which function $Y(A, B, C, D)$ is realized by this PLA?

- 4.4 Die Funktion wird nun modifiziert. Ergänzen Sie das PLA-Layout so, dass für die Funktion $Y(A, B, C, D)$ gilt:

The function is now modified. Complete the layout so that the following function $Y(A, B, C, D)$ is realized:

$$Y(A, B, C, D) = \overline{A}\overline{B} + \overline{A}C + \overline{A}D$$

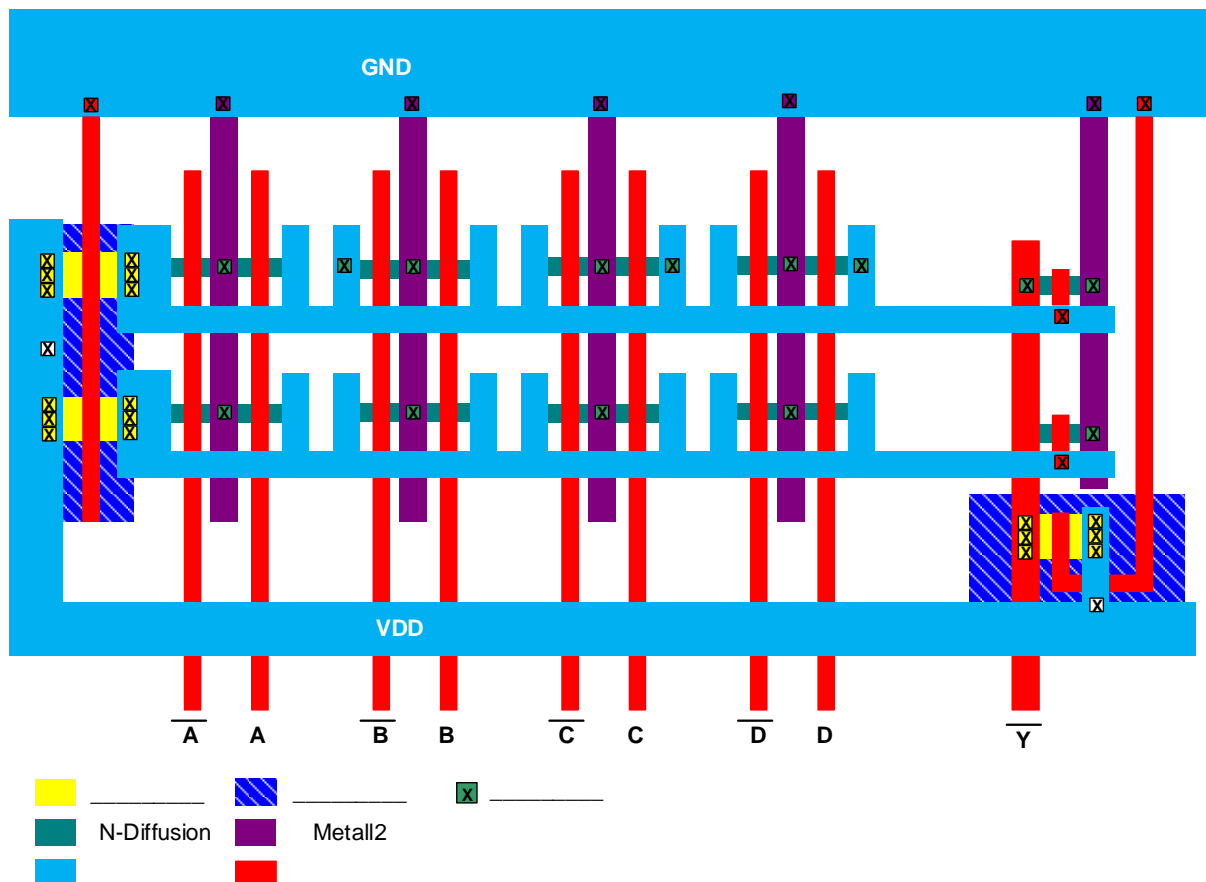


Abbildung 4-1: Ein PLA Layout.

5. Aufgabe (4 + 1 + 1 + 4 + 5 = 15 Punkte)**Prozessor und Systemarchitektur***Processor and System Architecture*

5.1 Schreiben Sie die gegebenen Abkürzungen folgender Implementierungen aus und bewerten Sie diese bezüglich ihrer Performance und Flexibilität. Sortieren Sie sie absteigend nach ihrer Performance:

Please write the abbreviations for the following implementation out in full and rate them regarding their performance and flexibility and sort them according to their performance in descending order:

- FPGA
- DSP
- ASIC
- μ C

5.2 In der Vorlesung wurden die beiden Prozessorarchitekturen von Neumann und Harvard behandelt. Beschreiben sie kurz den Hauptunterschied.

You know the von Neumann and Harvard processor architecture from lecture. Please shortly describe the main difference between both.

5.3 Ein Befehl besteht aus 2 Teilen, bitte nennen sie diese.

An instruction consists of two parts, please write them down.

5.4 Beschreiben Sie in der Tabelle unten den Unterschied zwischen *Reduced Instruction Set Computer* (RISC) und *Complex Instruction Set Computer* (CISC) Befehlssätzen im Hinblick auf folgende Kriterien:

Describe the difference between RISC (Reduced Instruction Set Computer) and CISC (Complex Instruction Set Computer) instruction sets with regard to the following criteria in the table below:

	RISC	CISC
Funktionalität der Befehle <i>Instruction functionality</i>		
Befehlssatz <i>Instruction set</i>		
Code-Größe <i>Code size</i>		
Zyklen der Befehle <i>Instruction cycles</i>		

5.5 Abbildung 5-2 zeigt einen einfachen Prozessor. Beschriften Sie die Funktionsblöcke mit folgenden Begriffen und erläutern Sie ALU und IR!

Figure 5-1 shows a simple processor. Label the function blocks with the following terms and explain the terms ALU and IR!

- ALU
- ACC
- IR
- PC
- MEMORY
- DATA BUS
- ADDRESS BUS

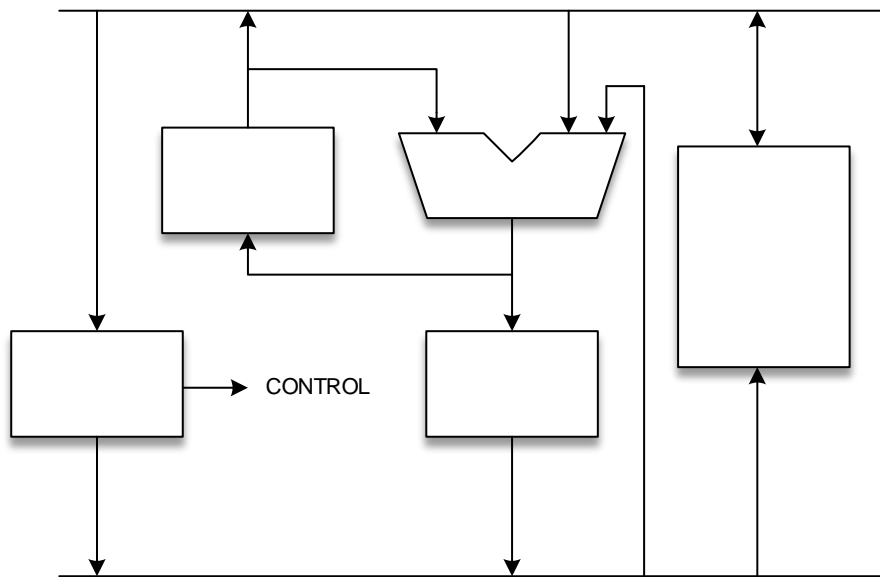


Abbildung 5-2: Einfacher Prozessor
Simple processor

Handelt es sich hierbei um eine von Neumann oder eine Harvard Architektur?

Is this a von Neumann or a Harvard Architecture?

6. Aufgabe (30 Punkte)**Multiple Choice****Anmerkungen zur Bewertung:**

Kennzeichnen Sie im folgenden Multiple Choice Test durch Ankreuzen des jeweiligen Kästchens, ob die Antworten **richtig** oder **falsch** sind! Pro richtiger Kennzeichnung gibt es einen Punkt, pro falscher Kennzeichnung gibt es einen Punkt Abzug. Wird keine Aussage gemacht, werden null Punkte dafür vergeben. Von den theoretisch 36 erreichbaren Punkten können maximal 30 erreicht werden. Die minimale Punktzahl für alle Fragen zusammen beträgt 0 Punkte.

Hinweis: von den drei Antworten einer Frage können 0 bis 3 Antworten richtig oder falsch sein.

Notes regarding the evaluation:

In the following multiple-choice test, tick whether the answers are right (**richtig**) or false (**falsch**). For every correct tick, you will get one point. For every wrong mark you will get a deduction of 1 point. If you make no choice you will get 0 points for that question. The minimum total score for the whole task is 0 points. The maximum score is 30 points (of theoretically 36 points).

Hint: for every question, 0 up to 3 answers can be correct or false.

1. Die Linie der Abschnürspannung für einen MOS – Transistor verläuft :

The curve of the pinch-off voltage of a MOS – transistor is:

linear

linear

richtig

falsch

☐
☐

logarithmisch

logarithmic

☐
☐

quadratisch.

quadratic

☐
☐

2. Ein NAND-Gatter mit 2 Eingängen in NMOS Technik besteht aus

A NAND gate with 2 inputs in NMOS consists of:

2 Transistoren

2 Transistors

richtig

falsch

☐
☐

3 Transistoren

3 Transistors

☐
☐

4 Transistoren

4 Transistors

☐
☐

3. Bei der Kleinsignal-Betrachtung eines Transistors

In a small-signal consideration of a transistor

richtig

falsch

Können feste Potentiale auf Masse gelegt werden

Fixed potentials can be grounded (common).

☐
☐

Wird er durch Stromquellen und Widerstände repräsentiert

It will be represented through current-sources and resistors.

☐
☐

Ist g_m von U_{ds} abhängig.

g_m is dependent of U_{ds} .

☐
☐

Name:

Matr.-Nr.:

- | | | | |
|----|---|--------------------------|--------------------------|
| 4. | Beim Differenzverstärker
<i>For the differential amplifier</i> | richtig | falsch |
| | Ist die CMRR lediglich von dem Lastwiderstand abhängig
<i>The CMRR is just dependent of the load-resistance</i> | <input type="checkbox"/> | <input type="checkbox"/> |
| | Ist die CMRR lediglich vom Innenwiderstand der Stromquelle sowie dem Arbeitspunkt der genutzten Transistoren abhängig
<i>The CMRR is just dependent of the internal resistance of the current source, as well as the operation point of the used transistors</i> | <input type="checkbox"/> | <input type="checkbox"/> |
| | Ist die CMRR lediglich vom Innenwiderstand der Stromquelle abhängig
<i>The CMRR is just dependent of the internal resistance of the current source.</i> | <input type="checkbox"/> | <input type="checkbox"/> |
| 5. | Diodensperrströme
<i>Diode-reverse-currents</i> | richtig | falsch |
| | Entstehen zwischen Substrat und Diffusionsgebieten
<i>arise inbetween substrate and diffusion areas.</i> | <input type="checkbox"/> | <input type="checkbox"/> |
| | Verursachen statische Verlustleistung
<i>Cause static power dissipation.</i> | <input type="checkbox"/> | <input type="checkbox"/> |
| | Entstehen nur in Pseudo-NMOS Technologie
<i>Just occur in pseudo-NMOS-technology.</i> | <input type="checkbox"/> | <input type="checkbox"/> |
| 6. | Für CMOS Übertragungsgatter gilt folgendes:
<i>Following statements are valid for transmission gates</i> | richtig | Falsch |
| | Sie werden zur Realisierung von Multiplexern verwendet
<i>They are used in realization of multiplexers</i> | <input type="checkbox"/> | <input type="checkbox"/> |
| | Sie ermöglichen die Realisierung eines Tri-State-Verhaltens.
<i>They can realize a Tri-State</i> | <input type="checkbox"/> | <input type="checkbox"/> |
| | Sie verbessern das Signal-Rausch-Verhältnis einer Übertragung
<i>They improve the SNR of a transmission.</i> | <input type="checkbox"/> | <input type="checkbox"/> |
| 7. | Treiberketten werden in Taktnetzwerken genutzt
<i>Driver chains are used in clock networks</i> | richtig | falsch |
| | Um Taktverzögerungen gering zu halten
<i>To keep clock delays low.</i> | <input type="checkbox"/> | <input type="checkbox"/> |
| | Um eine hohe Treiberleistung zu generieren.
<i>To generate a high driver-power.</i> | <input type="checkbox"/> | <input type="checkbox"/> |
| | Um die dynamischen Verluste gering zu halten.
<i>To keep dynamic losses low.</i> | <input type="checkbox"/> | <input type="checkbox"/> |

Name:

Matr.-Nr.:

- | | | | |
|-----|--|--------------------------|--------------------------|
| 8. | Komplexgatter
<i>Complex Gates</i> | richtig | falsch |
| | Ist ein Überbegriff für NAND NOR und Inverter
<i>Is a generic term for NAND NOR and Inverter.</i> | <input type="checkbox"/> | <input type="checkbox"/> |
| | können durch Zusammenschalten kleinerer Gatter realisiert werden
<i>can be realized by interconnecting smaller gates.</i> | <input type="checkbox"/> | <input type="checkbox"/> |
| | Gilt es wegen ihrer Komplexität im Digitaldesign zu vermeiden
<i>Shall be avoided in digital design due to its complexity</i> | <input type="checkbox"/> | <input type="checkbox"/> |
| 9. | Bewerten sie folgende Aussagen zu Speichertypen
<i>Evaluate the following statements regarding types of memory</i> | richtig | falsch |
| | SRAM ist ein nicht-flüchtiger Speichertyp
<i>SRAM is a non-volatile memory</i> | <input type="checkbox"/> | <input type="checkbox"/> |
| | DRAM ist ein sehr schneller Speichertyp
<i>DRAM is a high speed memory.</i> | <input type="checkbox"/> | <input type="checkbox"/> |
| | SRAM ist schneller als DRAM
<i>SRAM is faster compared with DRAM.</i> | <input type="checkbox"/> | <input type="checkbox"/> |
| 10. | Als Speichereinheit in einer dynamischen Speicherzelle dient:
<i>The storage in a dynamic memory cell is realized by</i> | richtig | falsch |
| | Eine Induktivität
<i>an inductor</i> | <input type="checkbox"/> | <input type="checkbox"/> |
| | Eine Kapazität
<i>a capacitor</i> | <input type="checkbox"/> | <input type="checkbox"/> |
| | Ein Memristor
<i>a memristor.</i> | <input type="checkbox"/> | <input type="checkbox"/> |

Name:

Matr.-Nr.:

11. Wovon hängt der Zeitbedarf für die Abarbeitung eines Programms ab ?

What does the time required for the processing of a program depend on ?

richtig

falsch

Anzahl der Instruktionen im Programm

On the number of instructions in the program.

☐☐

Der Periode eines Zyklusses

On the period of a cycle.

☐☐

Anzahl der Zyklen pro Instruktion

On the number of Cycles per instruction.

☐☐

12. Welche der folgenden Befehlssätze können in Mikroprozessoren verwendet werden?

Which instruction sets may be used in microprocessors

richtig

falsch

LISC (Limited Instruction Set Computer)

☐☐

CISC (Complex Instruction Set Computer)

☐☐

RISC (Complex Instruction Set Computer)

☐☐